

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 03 日  
Application Date

申請案號：092118165  
Application No.

申請人：南亞科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 8 月 26 日  
Issue Date

發文字號：09220854820  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	控制深渠溝頂部尺寸的方法
	英 文	METHOD OF CONTROLLING TOP WIDTH OF A DEEP TRENCH
二、 發明人 (共2人)	姓 名 (中文)	1. 王建中 2. 許平
	姓 名 (英文)	1. Jiann-Jong Wang 2. Ping Hsu
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住 居 所 (中 文)	1. 台北縣板橋市民生路二段226巷34號4樓 2. 台北縣中和市忠孝街106巷4號
	住 居 所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住 居 所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住 居 所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代 表 人 (中文)	1. 連日昌
	代 表 人 (英文)	1. Jih-Chang Lien



0548-9823nyd(n1) : 91201 : yqhsu pid

四、中文發明摘要 (發明名稱：控制深渠溝頂部尺寸的方法)

一種控制深渠溝之頂部尺寸的方法。係提供一基底，其上具有一回蝕而形成凹處(recess)之多晶矽結構；再於此結構上添加一非晶矽( $\alpha$ -silicon或 $\alpha$ -Si)層製程，此添加之非晶矽層將會於後續之氧化(RC1 oxidation)製程中轉變為氧化物( $\text{SiO}_2$ )。利用本發明所述之方法，可使得深渠溝之頂部尺寸不致擴大，並進一步防止且改善位元線(bit lines)方向之次電壓漏損(SubVt leakage)。

伍、(一)、本案代表圖為：第3c圖。

(二)、本案代表圖之元件代表符號簡單說明：

半導體矽基底~100；

深渠溝~dt；

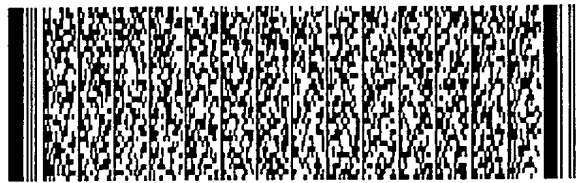
墊層~110；

深渠溝電容器~120；

墊氧化層~130；

六、英文發明摘要 (發明名稱：METHOD OF CONTROLLING TOP WIDTH OF A DEEP TRENCH)

A method of controlling top width of a deep trench. A conductive layer is formed on the trench over a substrate of polysilicon with a recessed structure. An additional layer of amorphous silicon ( $\alpha$ -Si) is deposited onto the polysilicon. After a follow-up of oxidation process, the amorphous silicon is converted to  $\text{SiO}_2$ . According to the invention, the top width of



四、中文發明摘要 (發明名稱：控制深渠溝頂部尺寸的方法)

$n^+$  型擴散區~140 ；

墊氮化層~150 ；

氧化矽層~200 ；

第一多晶矽層~180 ；

氮化物間隙壁~160 ；

介電層~210 。

六、英文發明摘要 (發明名稱：METHOD OF CONTROLLING TOP WIDTH OF A DEEP TRENCH)

deep trench is controlled, preventing bit lines from sub-threshold leakage.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

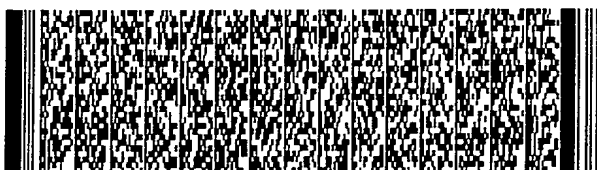
本發明有關於一種深渠溝電容器製程，特別有關一種避免深渠溝之頂部尺寸擴大的方法，可以有效防止深溝渠電容器中之次電壓漏損。

### 【先前技術】

動態隨機存取記憶體 (DRAM) 為一種可以讀寫的記憶體，而DRAM的每個動態隨機存取記憶體胞 (DRAM cell) 只需由一個電晶體和一個電容器構成，因此相對於其他記憶體而言，DRAM可以達到相當高的積集度，使得DRAM被廣泛地應用在電腦及電器產品上。目前的平面電晶體設計係搭配一種深渠溝電容器 (deep trench capacitor)，將三維的電容器結構製作於半導體矽基底內的深渠溝中，可以縮小記憶單元的尺寸與電力消耗，進而加快其操作速度。

請參閱第1a圖，其顯示習知DRAM胞之深渠溝 (deep trench) 排列的平面圖。應用於折疊位元線 (folded bit line) 結構中，每一個主動區域中包含有兩條字元線  $WL_1$ 、 $WL_2$  以及一條位元線 BL，其中符號 CB 代表一位元接觸插塞，符號 DT 代表一深渠溝，而符號 S 則代表深渠溝 DT 頂部在位元線 BL 方向的尺寸。

請參閱第1b圖，其顯示習知DRAM胞之深渠溝電容器的剖面示意圖。一半導體矽基底10內製作有一深渠溝DT，而

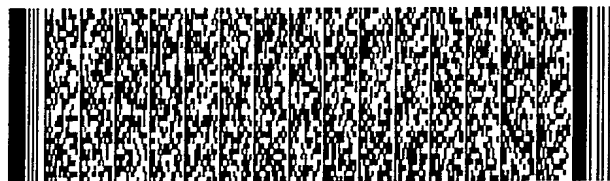
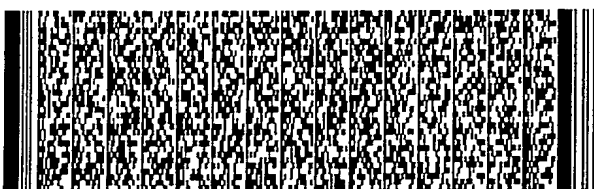


## 五、發明說明 (2)

深渠溝DT之下方區域係製作成為一深渠溝電容器12，其乃由一埋入電極板(buried plate)、一節點介電層(node dielectric)以及一儲存節點(storage node)所構成。關於深渠溝電容器12之製作，首先，利用反應性離子蝕刻(RIE)方法，可於p型半導體矽基底10內形成深渠溝DT。而後，藉由一重度摻雜氧化物(例如：砷玻璃(ASG)以及高溫短時間的退火製程，可使 $n^+$ 型離子擴散至深渠溝DT下方區域，而形成一 $n^+$ 型擴散區14，用來作為深渠溝電容器12的埋入電極板。然後，於深渠溝DT下方區域之內側壁與底部形成一氮化矽層16，用來作為深渠溝電容器12的節點介電層。後續，於深渠溝DT內沉積一 $n^+$ 型摻雜之第一多晶矽層18，並回蝕而形成凹處(recess)之第一多晶矽層18至一預定深度，則可用來作為深渠溝電容器12的儲存節點。

完成上述之深渠溝電容器12之後，先於深渠溝DT上方區域的側壁上製作一領型介電(collar dielectric)層20，再於深渠溝DT上方區域內形成一第二多晶矽層22及一第三多晶矽層24。後續則可進行一淺溝隔離(STI)結構26、字元線 $WL_1$ 、 $WL_2$ 、源/汲極擴散區域28、位元接觸插塞CB以及位元線BL等製程。淺溝隔離結構26是用來區分兩相鄰之DRAM胞。

此外，為了使深渠溝電容器12連接至表面之電晶體，係在深渠溝DT之頂部開口周圍的矽基底10內形成有一埋入帶外擴散(buried strap outdiffusion)區域30以作為一

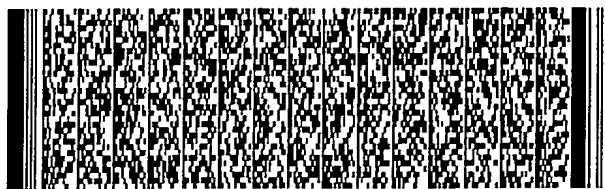


### 五、發明說明 (3)

節點接合介面(node junction)，並藉由形成於深渠溝DT之第二多晶矽層22與第三多晶矽層24來連接深渠溝電容器12及上述節點接合介面30。

隨著DRAM製程的持續縮小化，深渠溝之尺寸大小亦隨之益發的重要因其關係到動態隨機存取記憶體之深渠溝電容的品質。理論上而言，愈大的深渠溝DT尺寸，可得到愈多的電容量，對電容器更有利。然而，若深渠溝DT尺寸過大，將會減少與後續主動區(AA, active area)重疊(overlay)之製程寬容度，特別是，會縮短源/汲極擴散區域28與埋入帶外擴散區域30之間的重疊邊緣區域L，進而導致埋入帶外擴散區域30處發生嚴重的漏電流，並影響次電壓(sub-V<sub>t</sub>)之表現。

請參閱第2a至2f圖，其顯示習知對深渠溝開口處之襯墊結構11進行回縮(pullback)以利後續多晶矽層填入之製程其剖面示意圖。如第2a圖所示，一p型半導體矽基底10已經完成深渠溝電容器12之製作，包含有：一氮化矽墊層13及一氧化矽墊層15構成之一襯墊結構11、一深渠溝17、一n<sup>+</sup>型擴散區14、一氮化矽層16以及一n<sup>+</sup>型摻雜之第一多晶矽層18。然後，對深渠溝17開口處之氮化矽墊層13以經加熱的磷酸(phosphoric acid)來進行回縮(pullback)，由於上述回縮對氮化矽墊層13的蝕刻速率大於對氧化矽墊層15的蝕刻速率，形成如第2b圖所示之結構。



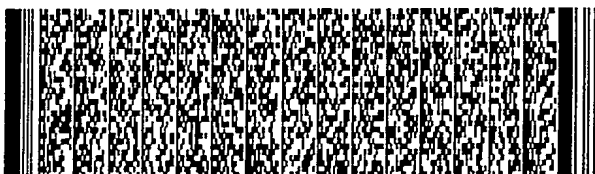


#### 五、發明說明 (4)

接著，如第2c圖所示，利用熱氧化法於矽基底10之暴露表面上長成一第一氧化矽層34，用以覆蓋深渠溝17上方區域之側壁，可確保 $n^+$ 型擴散區14與後續製作之埋入帶外擴散區域30之間的絕緣效果。然後，如第2d圖所示，利用CVD方式沉積一第二氧化矽層36，再以非等向性乾蝕刻方式去除第一多晶矽層18頂部之第二氧化矽層36。

後續，如第2e圖所示，於深渠溝17內沉積第二多晶矽層22，並回蝕第二多晶矽層22至一預定深度。最後，如第2f圖所示，利用濕蝕刻方式去除部份之第一氧化矽層34以及第二氧化矽層36，直至凸出第二多晶矽層22的頂部，則殘留之第一氧化矽層34以及第二氧化矽層36係用作為一領型介電層20。形成領型介電層20之目的是使外擴散區域30與埋入電極板14之間達到有效的隔絕，以防止此處的漏電流問題危害DRAM胞之保留時間(retention time)。

然而，由於第一氧化矽層34之氧化成長過程會使一部份的矽基底10轉變成為 $\text{SiO}_2$ ，因此後續的濕蝕刻步驟會擴張深渠溝頂部開口尺寸(深渠溝DT'頂部開口尺寸由S變大至S')，請參照第3圖，如此會影響字元線WL與深渠溝DT之重疊容忍度以及埋入帶外擴散區域30的分佈，尤其會縮短源/汲極擴散區域28與埋入帶外擴散區域30之間的重疊邊緣區域L，進而加重惡化漏電流現象與次電壓(sub-Vt)



## 五、發明說明 (5)

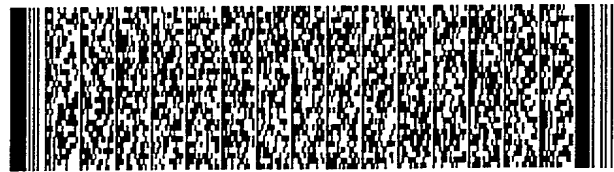
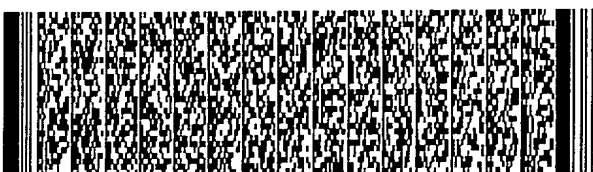
的表現。

雖然對深渠溝開口處之襯墊結構11進行回縮(pullback)以露出矽基底10，是造成深渠溝DT頂部開口擴大的最主要因素。但是對深渠溝開口處之襯墊結構11進行回縮的步驟是相當重要的，若是省略此步驟，雖然可有效抑制深渠溝頂部開口尺寸變大而防止次電壓(sub- $V_t$ )漏損的現象，但由於深渠溝之深寬比(aspect ratio)甚大(往往大於4:1)，不對襯墊結構進行回縮(pullback)，將使得以第二多晶矽層填充深渠溝時，易造成縫隙(seam)19或孔洞(void)的發生，請參照第2g圖，如此一來，不但增加了溝槽式電容的阻抗，且縫隙或孔洞也將導致在後續的回蝕或化學清洗製程時，蝕刻液或溶劑傷及深渠溝電容器致使該裝置失效。

因此，在必須對深渠溝開口處之襯墊結構進行回縮之前提之下，如何避免深渠溝之頂部開口尺寸的擴大，是目前半導體製程技術上亟需研究之重點。

### 【發明內容】

有鑑於此，為了解決上述問題，本發明之目的在於提供一種控制深渠溝頂部尺寸的方法。於習知之原製程中，藉由多增加生長一非晶矽( $\alpha$ -Si)層於一回蝕而形成之凹處(recess)之第一多晶矽結構，由於非晶矽之沉積為一化

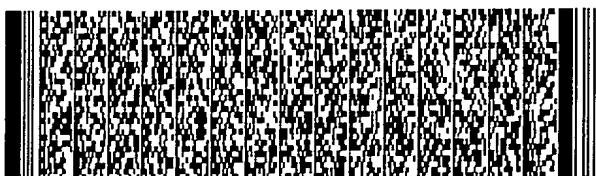


##### 五、發明說明 (6)

學氣相沉積法(chemical vapor deposition)，其係操作於一電漿提升式化學氣相沉積(plasma enhanced chemical vapor deposition, PECVD)機台，利用特意調配之製程參數，以沉積階梯覆蓋能力(step coverage)不甚佳之方式，使其沉積為非順應性(non-conformity)之特性，因此其沉積在一已形成之凹處(recess)之多晶矽結構之深渠溝中，將會出現深渠溝頂部沉積較底部為厚之情形。

接著進行後續之氧化製程，由於利用氧化過程中，將非晶矽氧化成氧化矽層；再利用此深渠溝頂部非晶矽沉積較厚之特性，在氧化過程中，其有足夠之非晶矽厚度可供消耗而轉換成氧化物( $\text{SiO}_2$ )，而不會如深渠溝底部產生一部份的矽基底轉變成為氧化物( $\text{SiO}_2$ )，造成後續的濕蝕刻步驟會擴張深渠溝頂部開口尺寸。本發明使得深渠溝頂部尺寸不會因氧化矽製程而變大。

根據本發明所述之避免深渠溝之頂部尺寸擴大的方法，在非晶矽及氧化矽製程後，另包括下列步驟：填入一介電層(collar TEOS)以及進行退火(collar TEOS anneal)、介電層非等向性乾蝕刻以形成一領型介電層，填入第二多晶矽層，再進行第二多晶矽層化學機械研磨，最後，第二多晶矽層非等向性乾蝕刻以及領型介電層溼蝕刻製程。



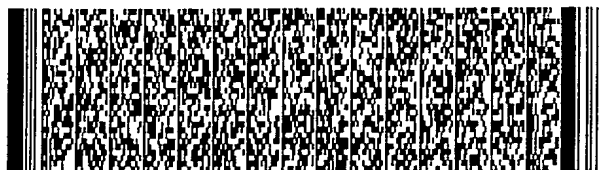
## 五、發明說明 (7)

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

### 【實施方式】

請參閱第3a至3e圖，為一系列之深渠溝結構剖面圖，係顯示在本發明之較佳實施例中避免深渠溝之頂部尺寸擴大的方法。

首先，請參照第3a圖所示，提供一半導體矽基底100，其內部已經完成一深渠溝電容器120之製作，而該深渠溝電容器120係包含有一埋入電極板140、一節點介電層160以及一儲存節點180。深渠溝電容器120之製作方法如下所述。以一p型半導體矽基底100為例，藉由一墊層110之圖案以及反應性離子蝕刻(RIE)方法，可於矽基底100內形成一深渠溝dt。上述墊層110係由一墊氧化層130及一墊氮化層150所構成，墊氧化層130之材質可為氧化矽，而墊氮化層150之材質可為氮化矽。而後，藉由一重度摻雜氧化物(例如：砷玻璃(ASG)以及高溫短時間的退火製程，可使 $n^+$ 型離子擴散至深渠溝dt下方區域，而形成一 $n^+$ 型擴散區140，用來作為電容器之埋入電極板。然後，於深渠溝dt之內側壁與底部形成一氮化矽層160，可例如為氮化矽層，再於深渠溝dt內沉積一 $n^+$ 型摻雜之第一導電層180，可



#### 五、發明說明 (8)

例如為多晶矽層，並將第一導電層180及氮化矽層160回蝕刻至使其導電層表面低於矽基板表面約600nm~1400nm的深度。如此一來，殘留之第一導電層180係用來為電容器之上電極，而夾設於 $n^+$ 型擴散區140以及第一導電層180之間的氮化矽層160則是用作為電容器之節點介電層。

之後，請參照第3b圖所示，由於深渠溝dt之深寬比(aspect ratio)甚大(往往大於4:1)，利用特意調配之製程參數，以沉積階梯覆蓋能力(step coverage)不甚佳之方式，於一電漿提升式化學氣相沉積(plasma enhanced chemical vapor deposition, PECVD)機台沉積一約100~200埃厚度之具有非順應性(non-conformity)特性之非晶矽190，沿著氧化矽墊層130表面、氮化矽墊層150側壁，且填入深渠溝dt及第一導電層180上。綜合上述因素，故此非晶矽190沉積在一已形成凹處(recess)之多晶矽結構之深渠溝dt中，將會出現頂部190a沉積較底部190b為厚之情形。

接著，請參照第3c圖所示，以加熱氧化例如是約900°C, 0.5hr方式，將非晶矽190氧化成氧化矽層200用以覆蓋深渠溝dt之側壁並覆蓋在非晶矽190上面，可確保 $n^+$ 型擴散區140與後續製作之埋入帶外擴散區域之間的絕緣效果。由於利用氧化過程中，將非晶矽190氧化成氧化矽層200之機制；再利用此深渠溝dt頂部非晶矽190沉積較厚之特



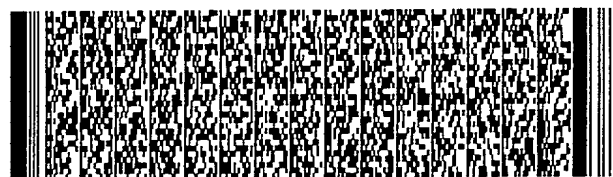
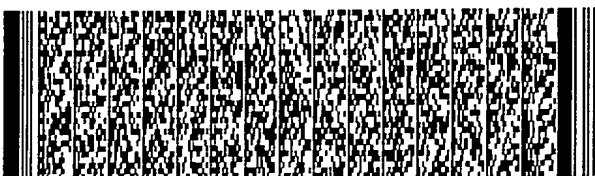
#### 五、發明說明 (9)

性，在氧化過程中，其有足夠之非晶矽190厚度可供消耗而轉換成氧化物( $\text{SiO}_2$ )，而不會如深渠溝dt底部產生一部份的矽基底被消耗而轉變成為氧化物( $\text{SiO}_2$ )，造成後續的濕蝕刻步驟會擴張深渠溝dt頂部開口尺寸，使得深渠溝dt頂部尺寸不會因氧化矽層200製程而變大。

之後，在氧化矽層200上以化學氣相沉積方式沉積一厚度例如是約300 Å之介電層210，以更加保護電容器防止漏電為目的。而介電層210之材質可由四乙氧基矽烷(TEOS)為矽源的二氧化矽所組成。隨之進行介電層210退火處理期使介電層210材質更加緻密。

接著，請參照第3d圖所示進行介電層210乾蝕刻以除去深渠溝dt底部之包括氧化矽層200及介電層210，至深渠溝dt底部接觸第一導電層180為止，而形成一領型介電層220(collar dielectric)。上述乾蝕刻例如是以反應性離子蝕刻(RIE)或電漿蝕刻等非等向性蝕刻進行。

最後，請參照第3e圖所示，於深渠溝dt內沉積一厚度例如是約2000 Å之 $n^+$ 型摻雜之第二導電層230而連接第一導電層180，可例如為一多晶矽層。接著進行第二導電層230化學機械式研磨(CMP)，將第二導電層230研磨至氧化矽層200之上表面，然後回蝕(etch back)第二導電層230至一預定深度。最後利用濕蝕刻方式去除部份之領型介電層

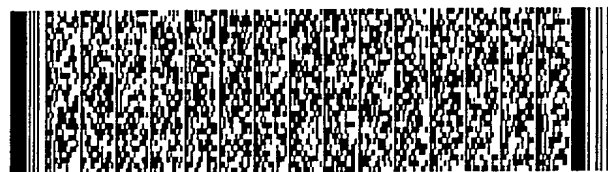


##### 五、發明說明 (10)

220，使其上表面低於第二導電層230並露出部份深渠溝dt側壁。上述之濕蝕刻可例如為BOE酸作為蝕刻化學品來對領型介電層220進行酸蝕刻。

綜合上述，本發明係藉由填入非晶矽190，利用將非晶矽190氧化成氧化矽層200；使此深渠溝dt頂部有足夠之非晶矽190厚度可供消耗而轉換成氧化矽層200，而不會如深渠溝dt底部產生一部份的矽基底被消耗而轉變成為氧化物，造成後續的濕蝕刻步驟會擴張深渠溝dt頂部開口尺寸，使得深渠溝dt頂部尺寸不會因氧化矽層200製程而變大。上述形成之諸步驟及相關方法亦為半導體工業所廣為利用，故具有簡單、不耗費成本的優點，且無須增添新製程機台或重新研究新製程配方，可運用現有製程稍作改進，迅速導入整體製程中，避免深渠溝dt之頂部尺寸擴大產生，以防止產生漏電流及改善次電壓，進而提昇整體DRAM之電性表現。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1a圖顯示習知DRAM胞之深渠溝排列的平面圖。

第1b圖顯示習知DRAM胞之深渠溝電容器的剖面示意圖。

第2a至2g圖顯示習知深渠溝電容器其之製程剖面示意圖。

第3a至3e圖顯示本發明所述之避免深渠溝之頂部尺寸擴大的方法之一較佳實施例之製造流程剖面示意圖。

## 【符號說明】

### 習知技術：

字元線word line~WL<sub>1</sub>、WL<sub>2</sub>；

位元線bit line~BL；

深渠溝deep trench~DT；

位元接觸插塞bit-line contact~CB；

半導體矽基底silicon substrate~10；

襯墊結構pad structure~11；

深渠溝電容器deep trench capacitor~12；

氮化矽墊層Silicon Nitride pad layer~13；

氧化矽墊層Silicon Oxide pad layer~15；

n<sup>+</sup>型擴散區n<sup>+</sup> type diffusion area~14；

氮化矽層Silicon Nitride layer~16；

深渠溝deep trench~17；

第一多晶矽層1st Polysilicon layer~18；

縫隙seam~19；





圖式簡單說明

領型介電層collar dielectric~20；

第二多晶矽層2nd Polysilicon layer~22；

第三多晶矽層3rd Polysilicon layer~24；

淺溝隔離結構STI~26；

源/汲極擴散區域source/drain diffusion  
area~28；

埋入帶外擴散區域buried strap outdiffusion  
area~30；

重疊邊緣區域overlap margin area~L；

第一氧化矽層1st Silicon Oxide layer~34；

第二氧化矽層2nd Silicon Oxide layer~36；

深渠溝頂部尺寸deep trench top size~S、S'。

本發明技術：

半導體矽基底silicon substrate~100；

深渠溝deep trench~dt；

墊層pad layer~110；

深渠溝電容器deep trench capacitor~120；

墊氧化層Silicon Oxide pad layer~130；

n<sup>+</sup>型擴散區n<sup>+</sup> type diffusion area~140；

墊氮化層Silicon Nitride pad layer~150；

氧化矽層Silicon Oxide layer~200；

第一多晶矽層1st Polysilicon layer~180；

氮化物間隙壁Nitride spacer~160；



圖式簡單說明

介電層dielectric layer~210；

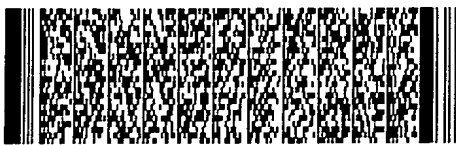
非晶矽 $\alpha$ -Si~190；

非晶矽頂部 $\alpha$ -Si top side~190a；

非晶矽底部 $\alpha$ -Si bottom side~190b；

第二多晶矽層2nd Polysilicon layer~230；

領型介電層collar dielectric~220。



## 六、申請專利範圍

1. 一種控制深渠溝頂部尺寸的方法，包括下列步驟：

提供一包括一溝槽之基板且該溝槽中具有一第一導電層部份填入該溝槽；

形成一第一導電層填入部分該溝槽；

形成一非晶矽層覆蓋該溝槽側壁與該導電層，其中該非晶矽層於溝槽頂部具有相對於其他部份之較厚的厚度；

氧化該非晶矽層以形成一氧化矽層；

形成一介電層於該氧化矽層上，且對該介電層與該氧化矽層進行非等向性乾蝕刻以形成一領型介電層於該溝槽側壁；

形成第二導電層填入於該溝槽，且其表面低於該溝槽；及

除去部份領型介電層使其表面低於第二導電層並露出構成上述溝槽側壁之基底表面。

2. 如申請專利範圍第1項所述之控制深渠溝頂部尺寸的方法，其中該基板是一單晶矽基板。

3. 如申請專利範圍第1項所述之控制深渠溝頂部尺寸的方法，其中形成該第一導電層的步驟，包括沉積該導電層於該基板上與該溝槽中；以及回蝕該導電層使其表面低於該基板表面以形成一凹處。

4. 如申請專利範圍第3項所述之控制深渠溝頂部尺寸的方法，其中沉積該導電層是以化學氣相沉積法形式。

5. 如申請專利範圍第3項所述之控制深渠溝頂部尺寸



#### 六、申請專利範圍

的方法，其中形成該導電層的回蝕製程是以非等向性乾蝕刻法進行。

6. 如申請專利範圍第1項所述之控制深渠溝頂部尺寸的方法，其中該第一導電層之材質為 $n^+$ 型摻雜之多晶矽。

7. 如申請專利範圍第1項所述之控制深渠溝頂部尺寸的方法，其中該溝槽更形成有一電容器，且其中該導電層係做該電容器之上電極。

8. 如申請專利範圍第1項所述之控制深渠溝頂部尺寸的方法，其中該非晶矽層為一頂部較底部為厚之沉積。

9. 如申請專利範圍第8項所述之控制深渠溝頂部尺寸的方法其中該頂部沉積較底部為厚之非晶矽層是以電漿提升式化學氣相沉積法進行。

10. 如申請專利範圍第1項所述之控制深渠溝頂部尺寸的方法，其中形成第二導電層的步驟包括：沉積一導電層於該基板上且填滿該溝槽；及凹蝕(recessing)該導電層使其表面低於該溝槽。

11. 如申請專利範圍第9項所述之控制深渠溝頂部尺寸的方法，其中形成介電層是TEOS-oxide。

12. 如申請專利範圍第11項所述之控制深渠溝頂部尺寸的方法，其中以蝕刻方式除去部份之氧化矽層及領型介電層露出構成上述渠溝側壁之基底表面係以等向性濕蝕刻法進行。

13. 一種控制深渠溝頂部尺寸的方法，包括下列步



## 六、申請專利範圍

驟：

提供一包括一溝槽之半導體矽基板且該溝槽中具有一第一多晶矽層部份填入該溝槽；

形成一第一導電層填入部分該溝槽；

形成一非晶矽層覆蓋該溝槽側壁與該第一導電層，其中該非晶矽層於溝槽頂部具有相對於其他部份之較厚的厚度；

氧化該非晶矽層以形成一氧化矽層；

形成一介電層於該氧化矽層上，且對該介電層與該氧化矽層進行非等向性乾蝕刻以形成一領型介電層於該溝槽側壁；

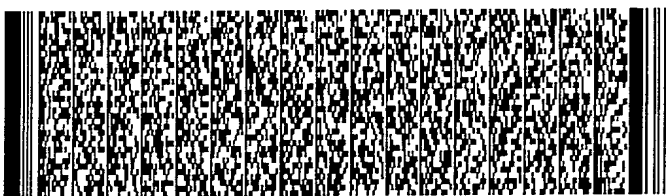
形成一第二導電層填入於該溝槽，且其表面低於該溝槽；及

除去部份領型介電層使其表面低於第二導電層並露出構成上述溝槽側壁之基底表面。

14. 如申請專利範圍第13項所述之控制深渠溝頂部尺寸的方法，其中該半導體矽基板係一單晶矽基板。

15. 如申請專利範圍第13項所述之控制深渠溝頂部尺寸的方法，其中形成該第一導電層的步驟，包括沉積該導電層於該半導體矽基板上與該溝槽中；以及回蝕該導電層使其表面低於該基板表面以形成一凹處。

16. 如申請專利範圍第15項所述之控制深渠溝頂部尺寸的方法，其中沉積該第一導電層是以化學氣相沉積法形式。



## 六、申請專利範圍

17. 如申請專利範圍第13項所述之控制深渠溝頂部尺寸的方法，其中形成該第一導電層的回蝕製程是以非等向性乾蝕刻法進行。

18. 如申請專利範圍第13項所述之控制深渠溝頂部尺寸的方法，其中該第一導電層之材質為一 $n^+$ 型摻雜之多晶矽。

19. 如申請專利範圍第13項所述之控制深渠溝頂部尺寸的方法，其中該溝槽更形成有一電容器，且其中該第一導電層係做該電容器之上電極。

20. 如申請專利範圍第13項所述之控制深渠溝頂部尺寸的方法，其中該非晶矽層為一頂部較底部為厚之沉積。

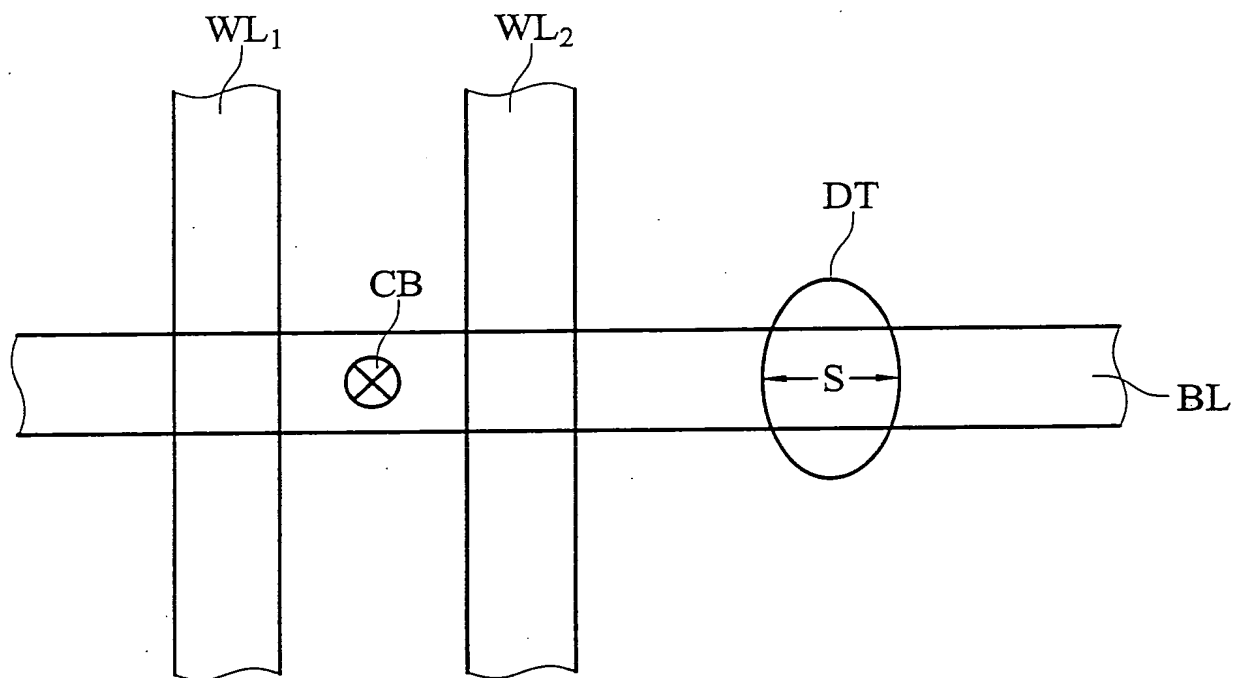
21. 如申請專利範圍第20項所述之控制深渠溝頂部尺寸的方法，其中該頂部沉積較底部為厚之非晶矽層是以電漿提升式化學氣相沉積法進行。

22. 如申請專利範圍第13項所述之控制深渠溝頂部尺寸的方法，其中形成第二導電層的步驟包括：沉積一導電層於該基板上且填滿該溝槽；及凹蝕(recessing)該導電層使其表面低於該溝槽。

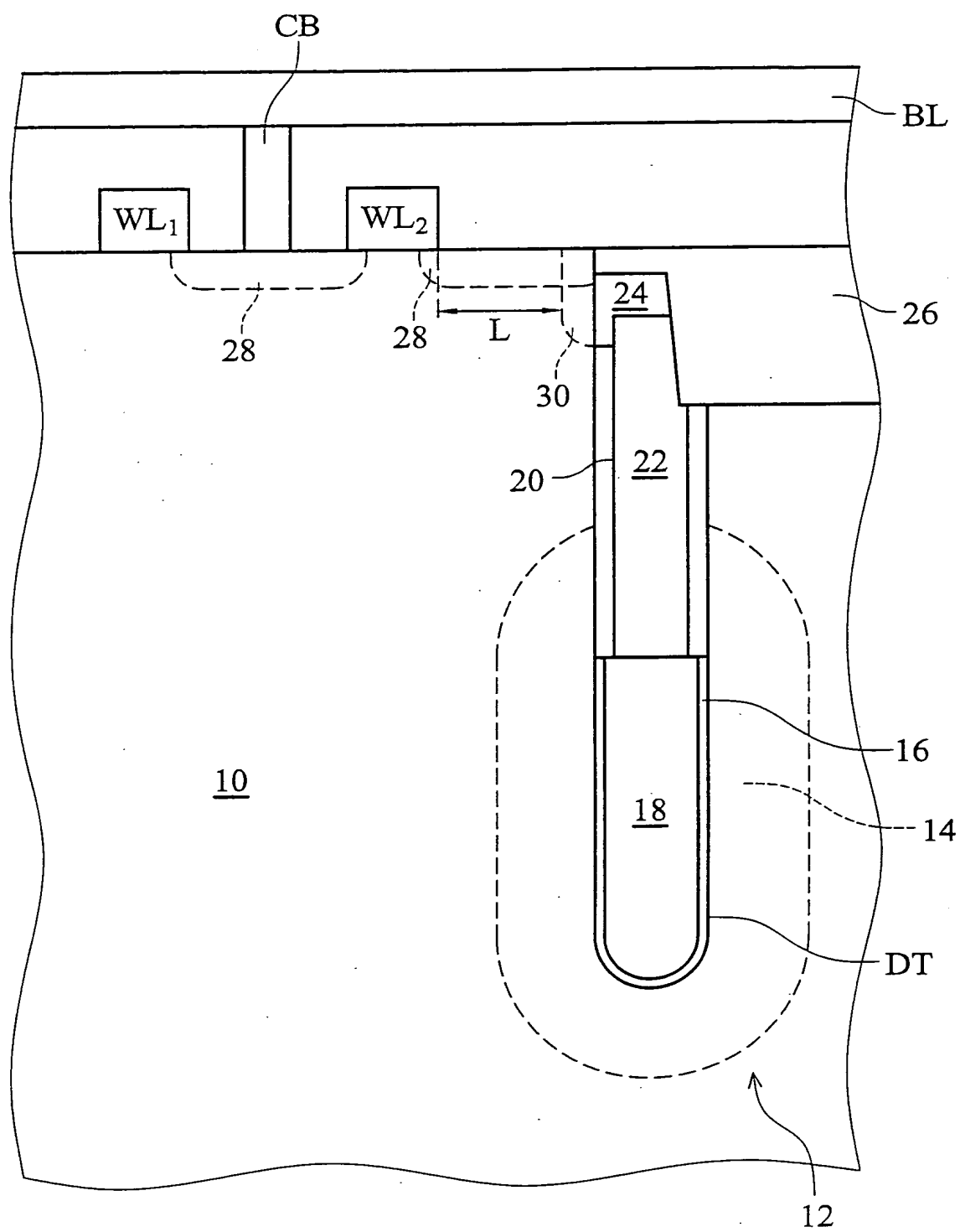
23. 如申請專利範圍第13項所述之控制深渠溝頂部尺寸的方法，其中形成介電層是TEOS-oxide。

24. 如申請專利範圍第13項所述之控制深渠溝頂部尺寸的方法，其中以蝕刻方式除去部份之氧化矽層及領型介電層露出構成上述渠溝側壁之基底表面係以等向性濕蝕刻法進行。



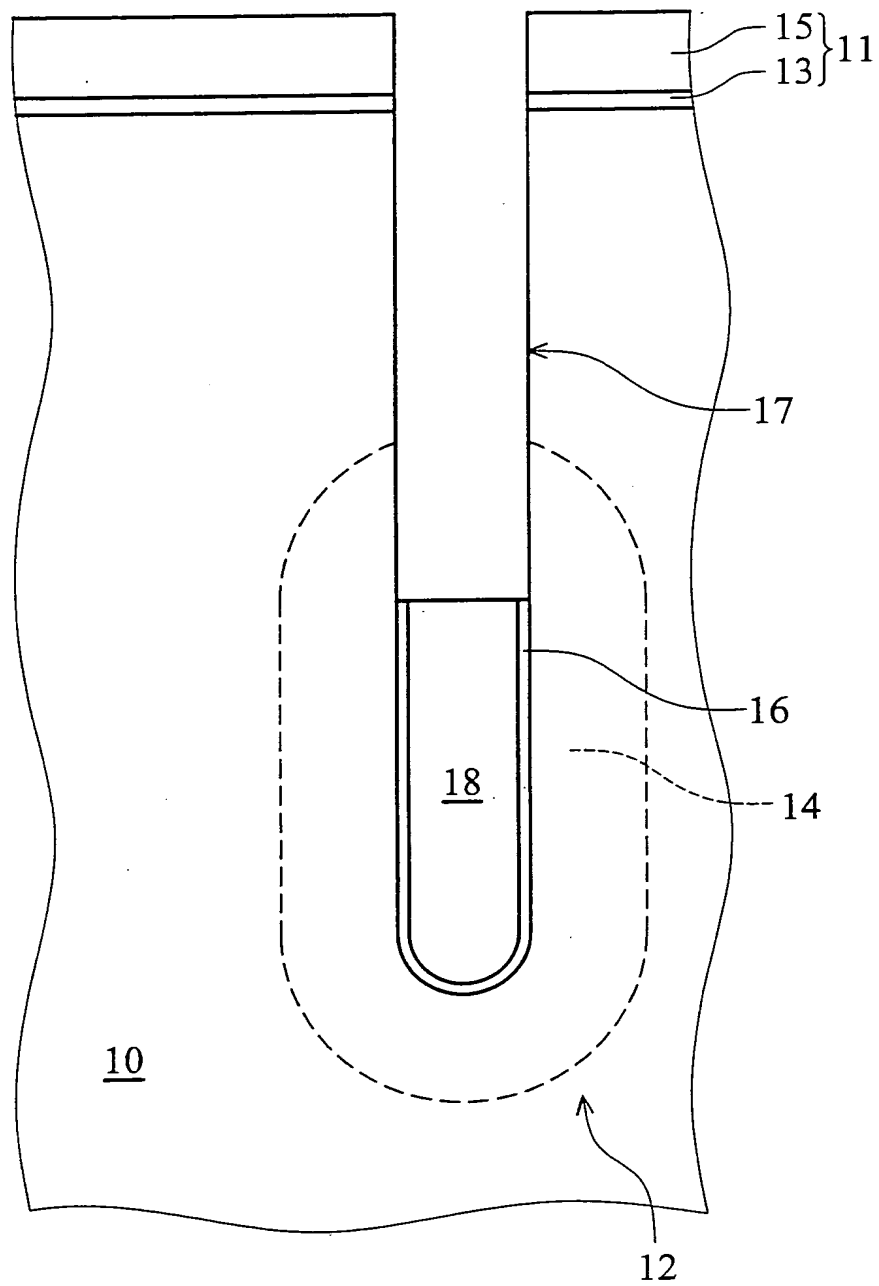


第 1a 圖

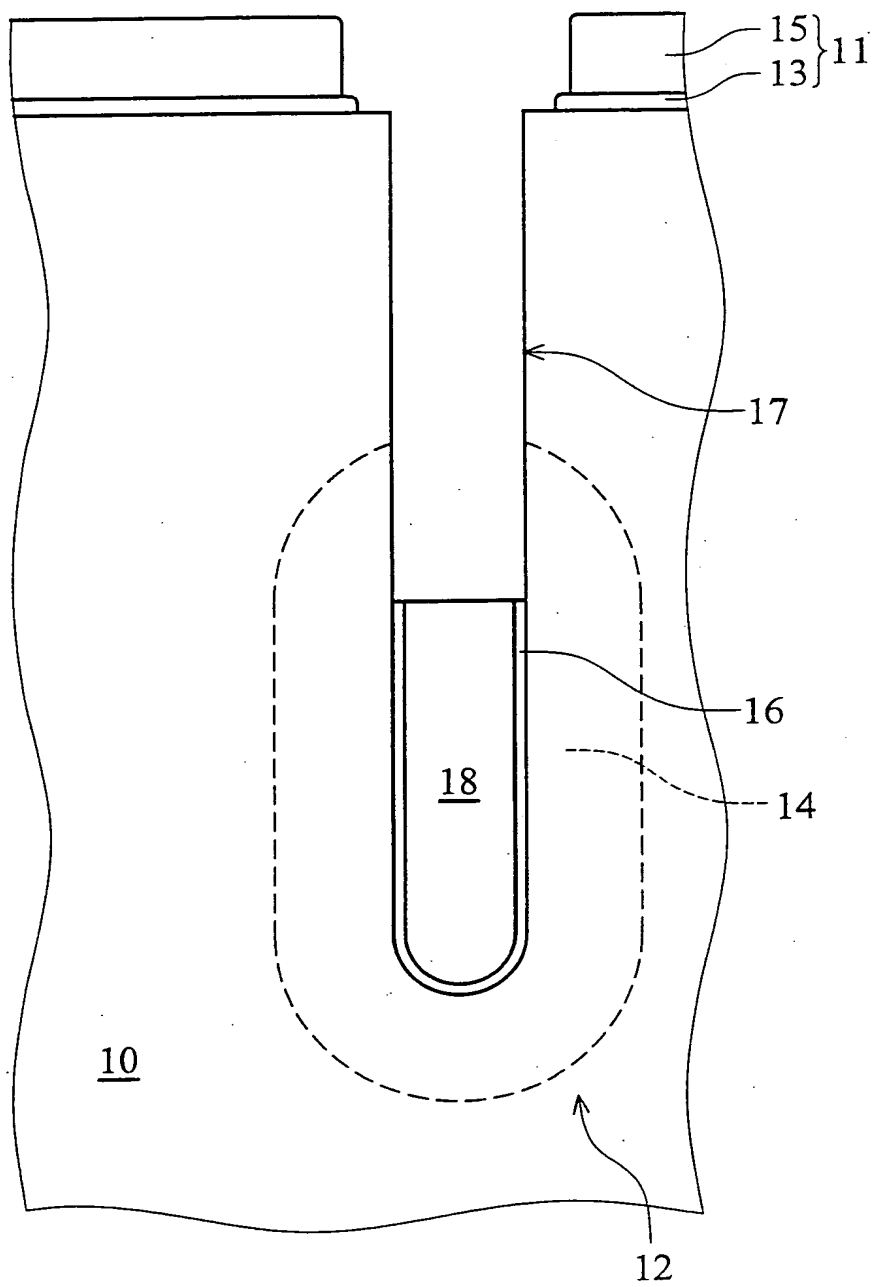


第 1b 圖

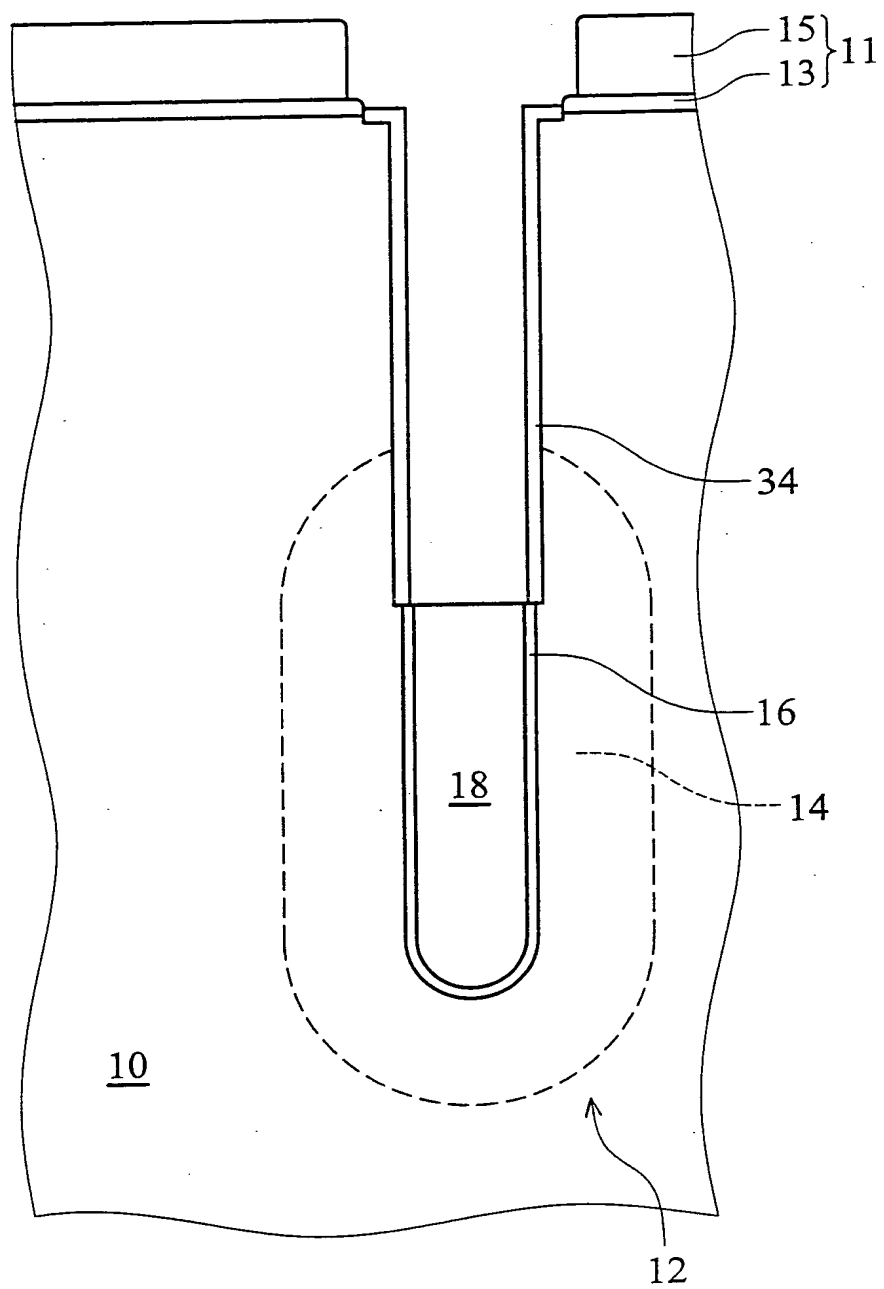




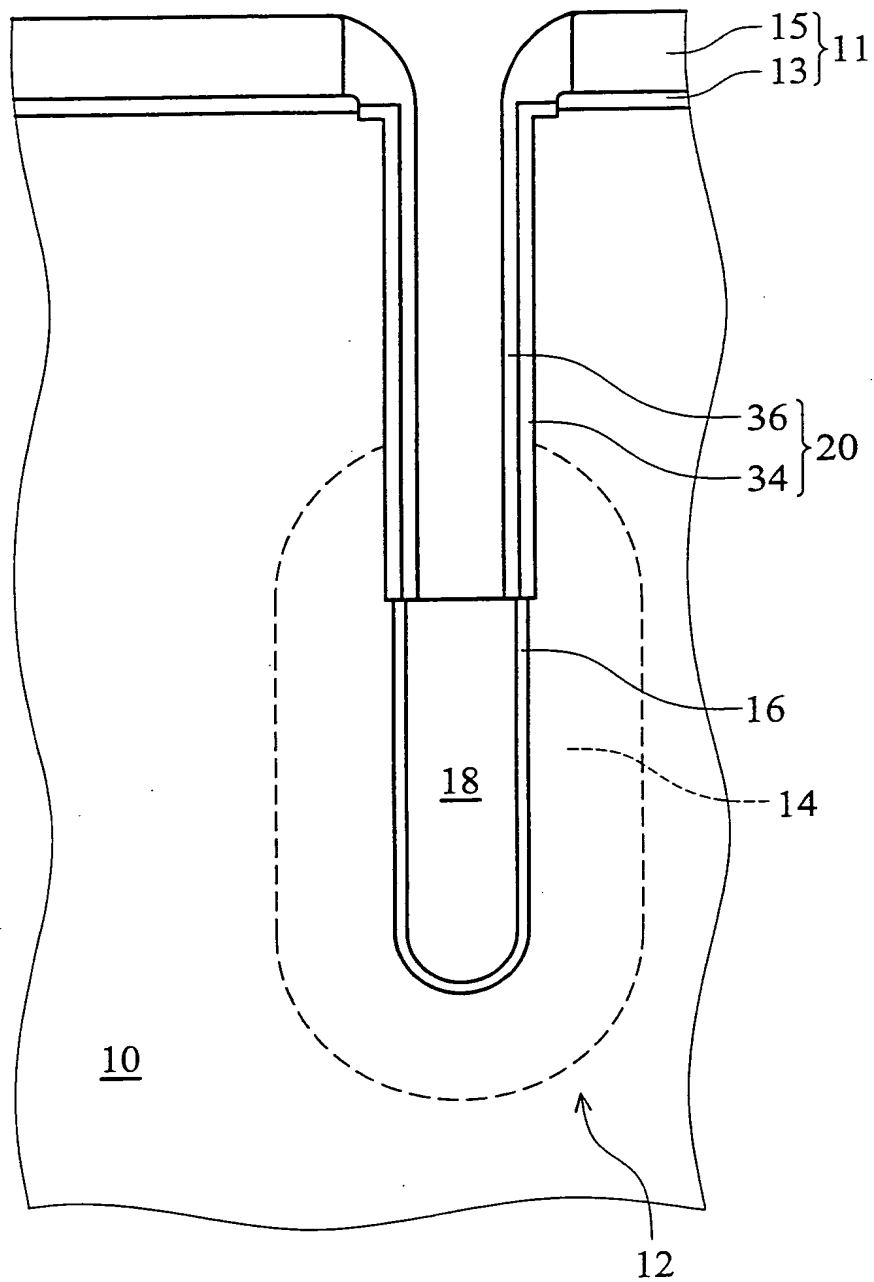
第 2a 圖



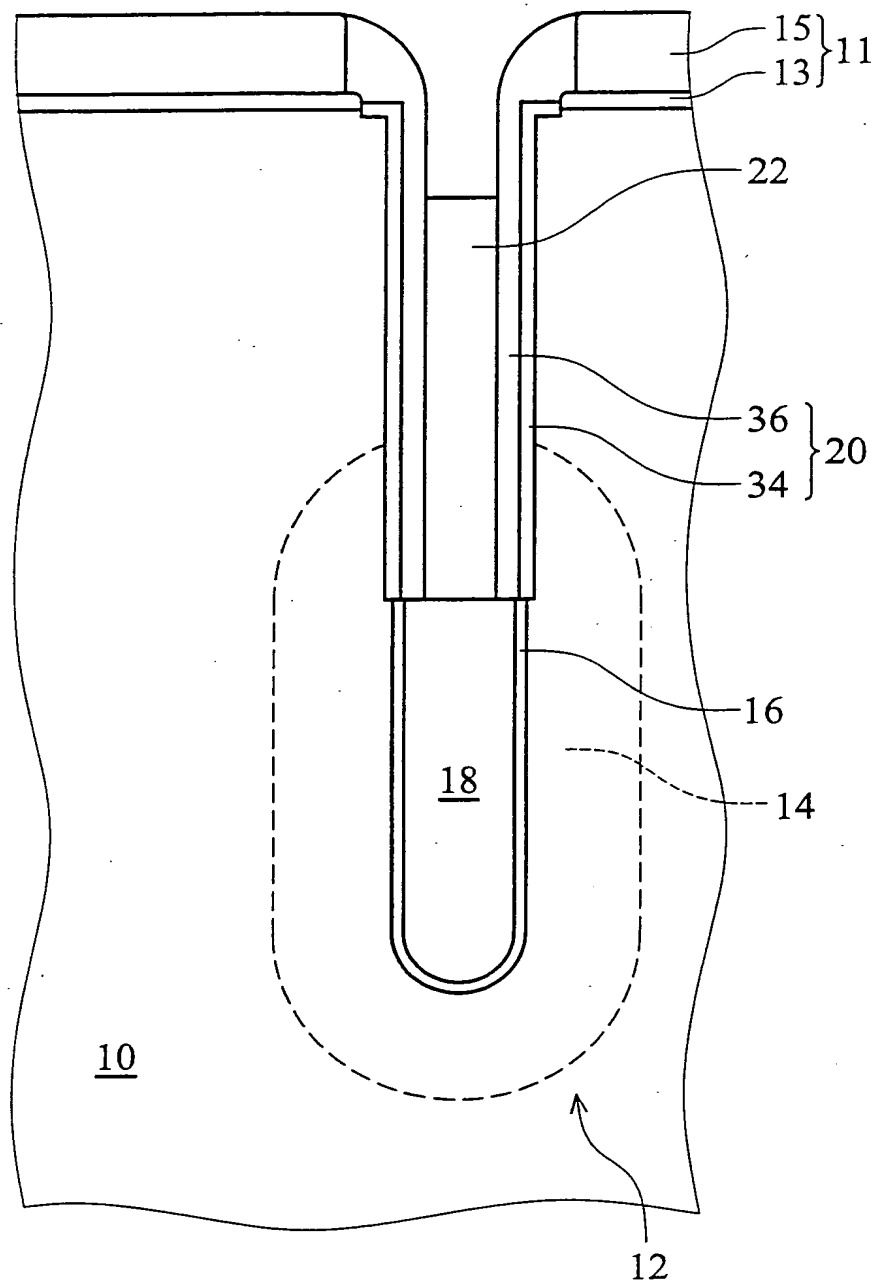
第 2b 圖



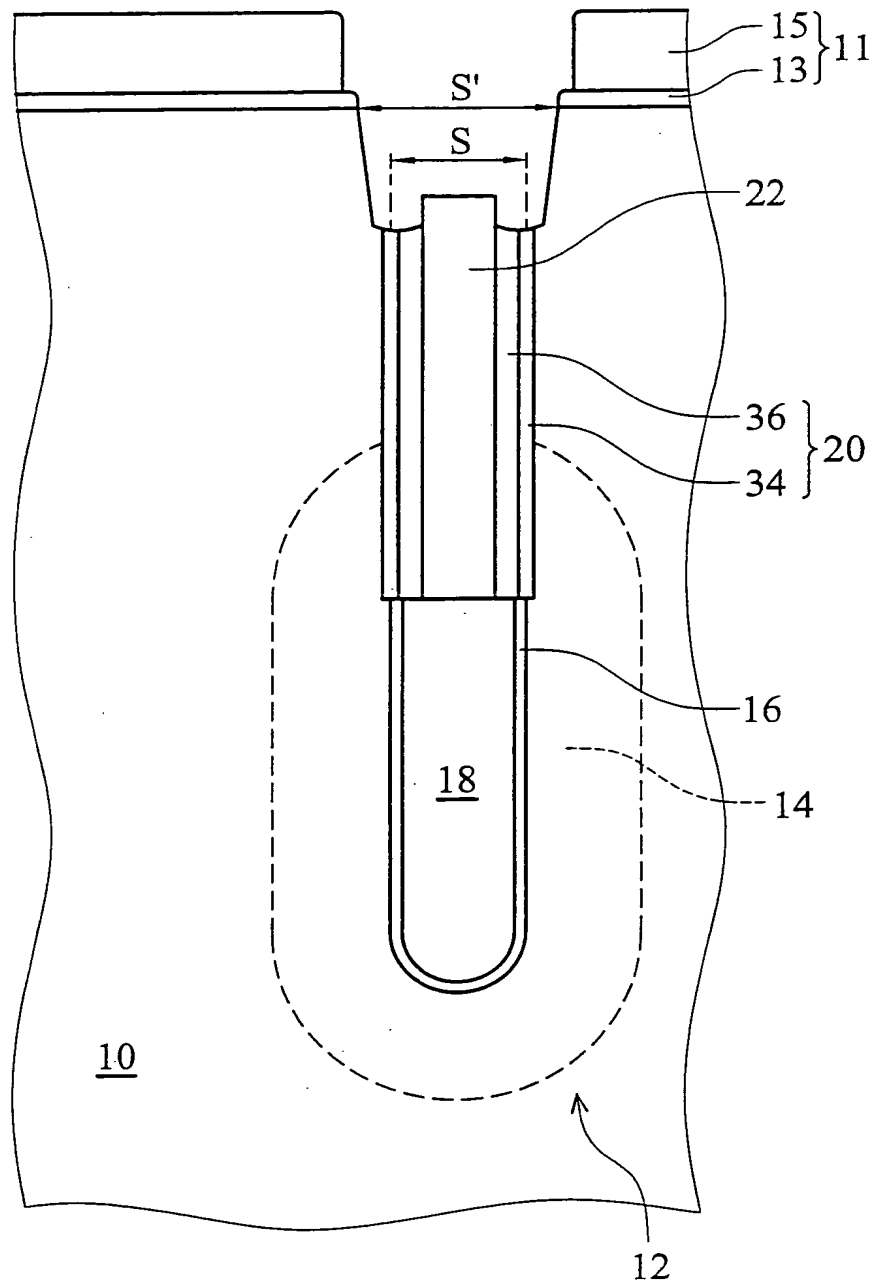
第 2c 圖



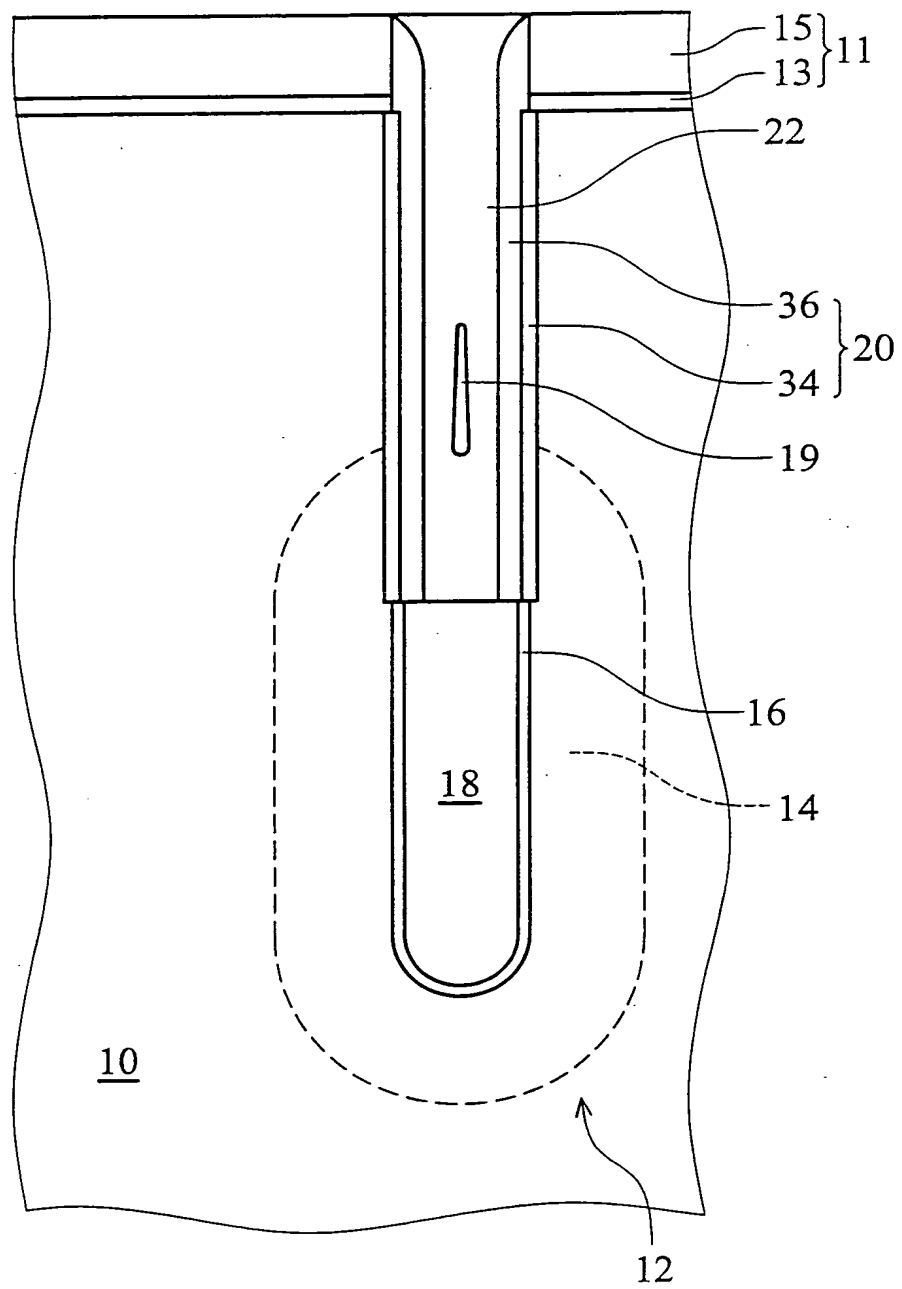
第 2d 圖



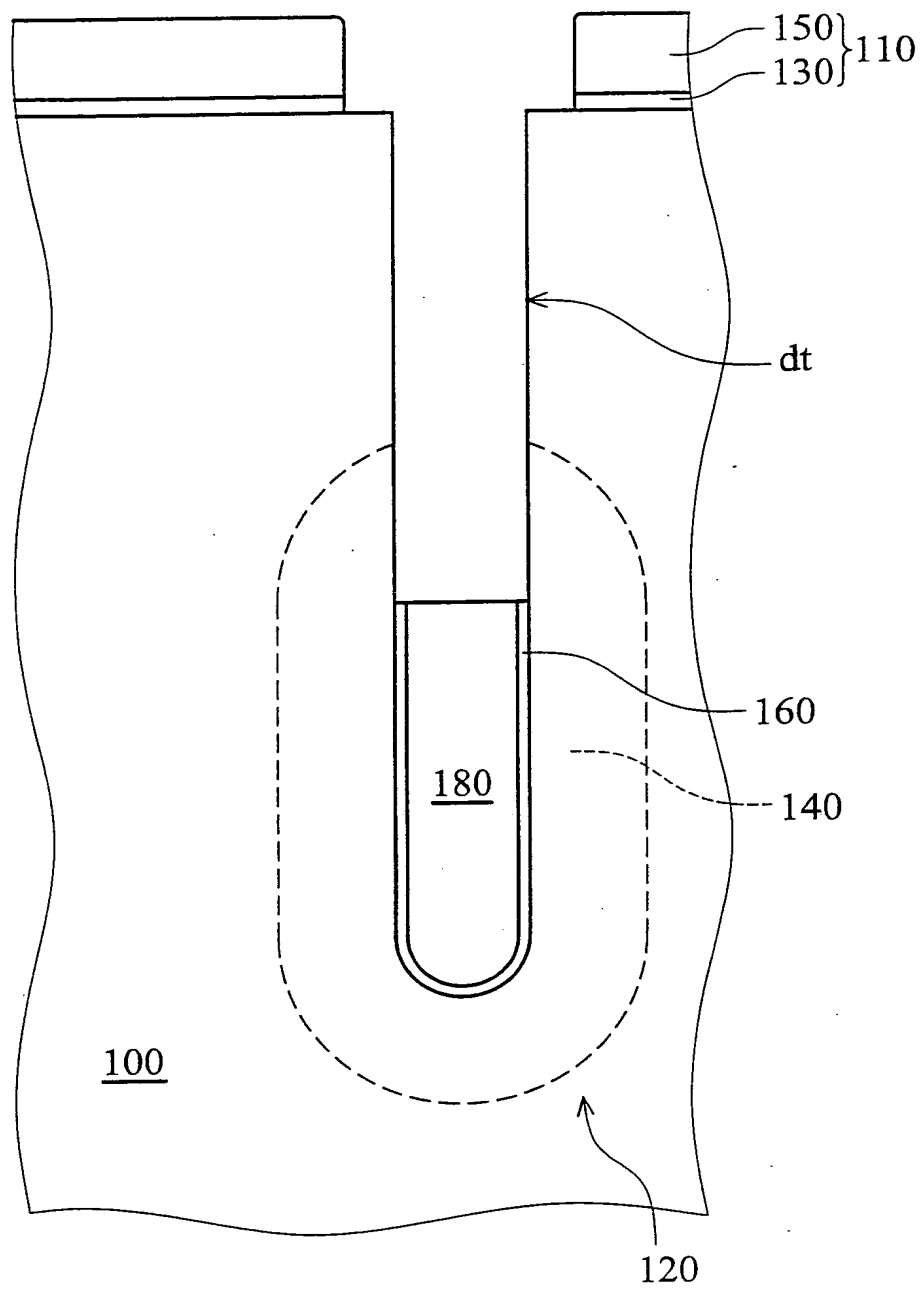
第 2e 圖



第 2f 圖

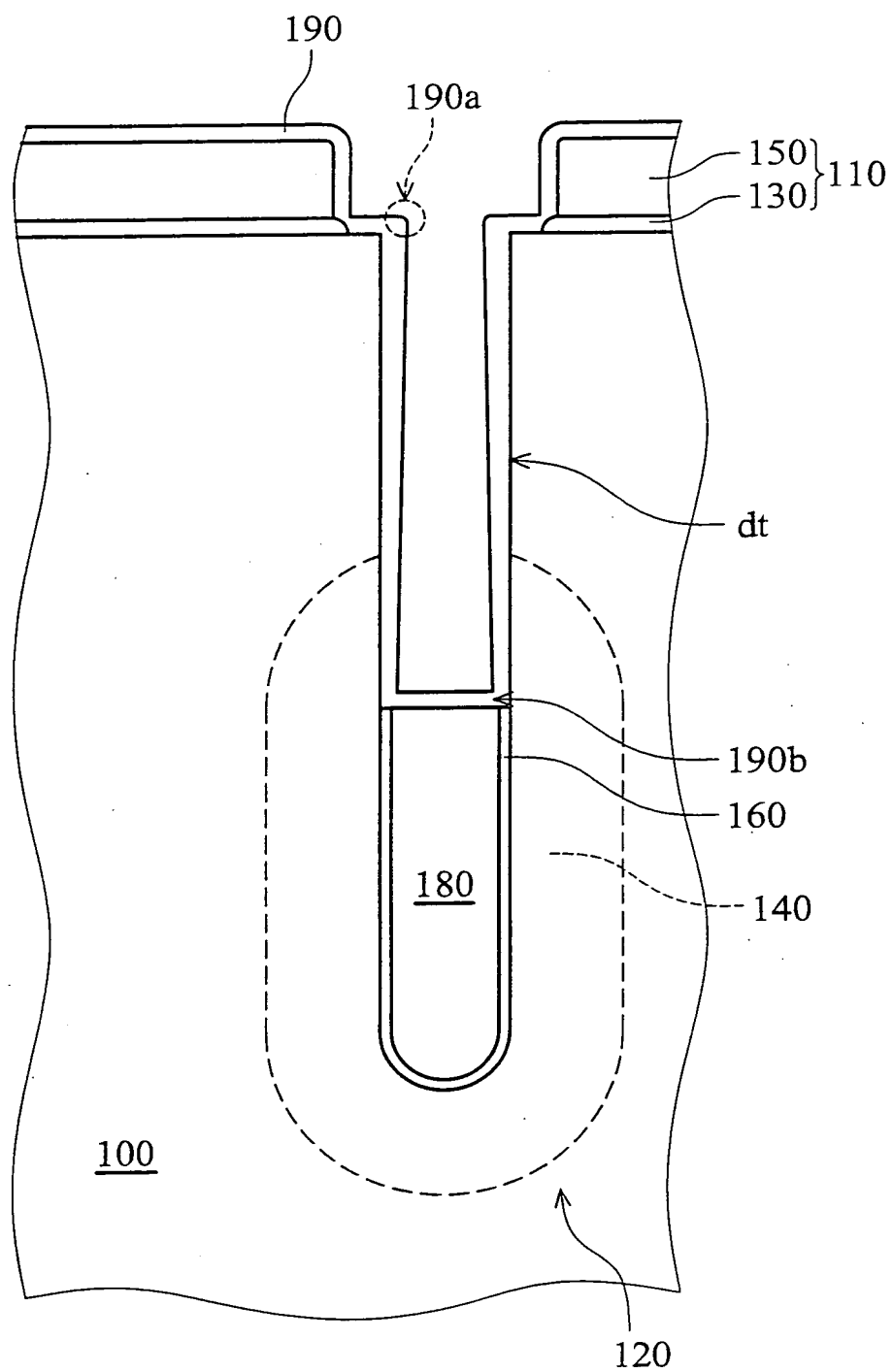


第 2g 圖

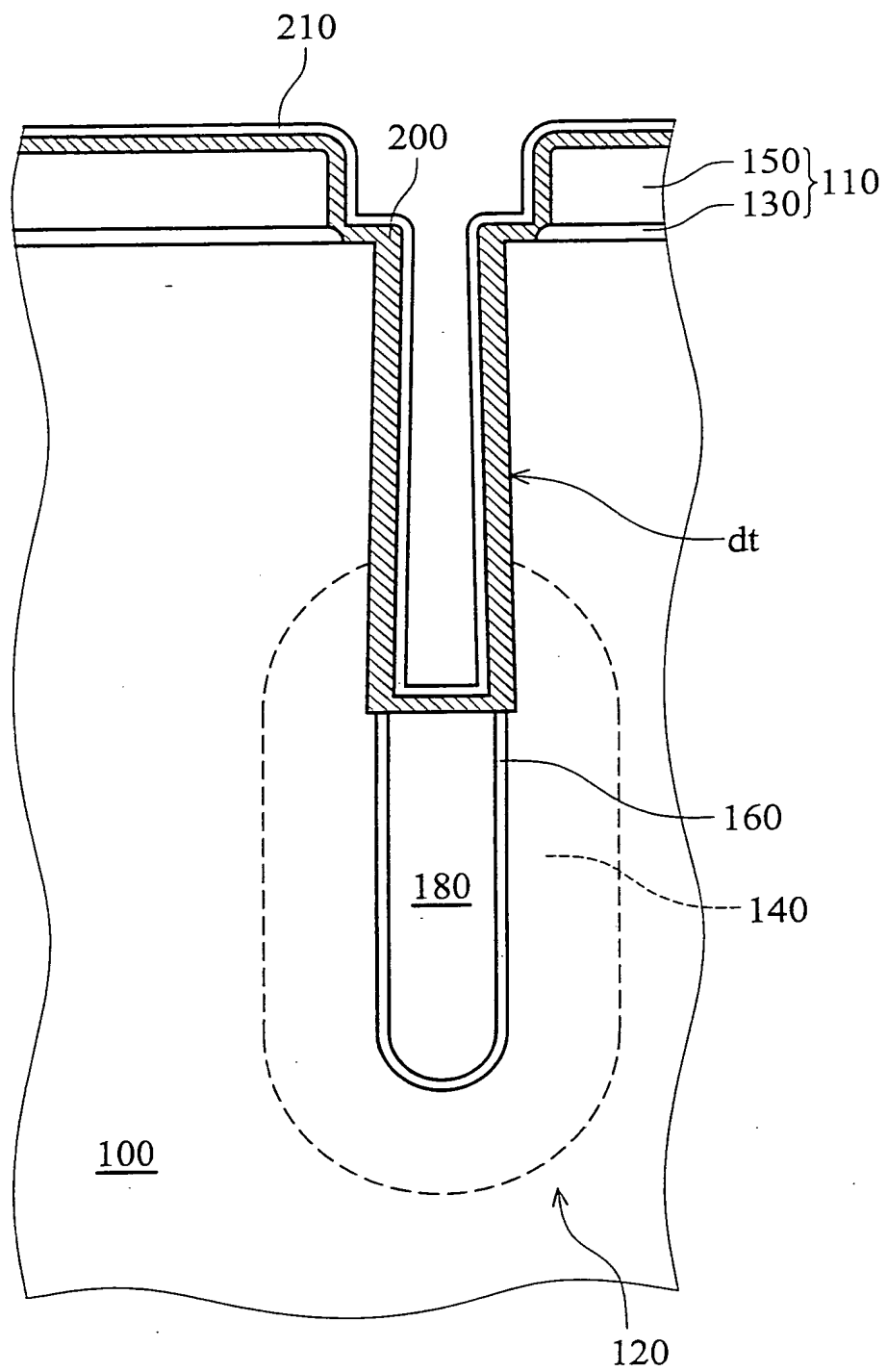


第 3a 圖

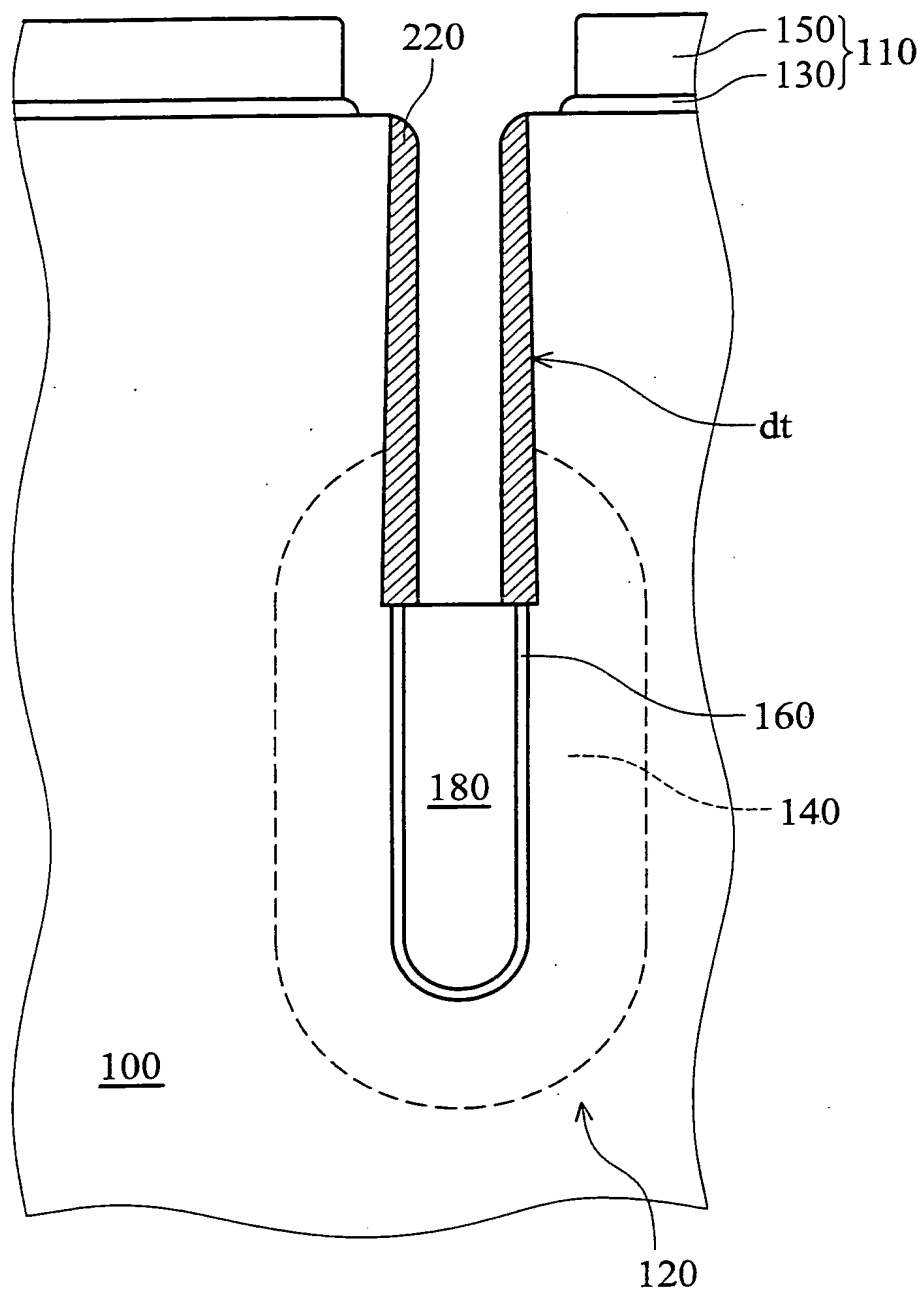




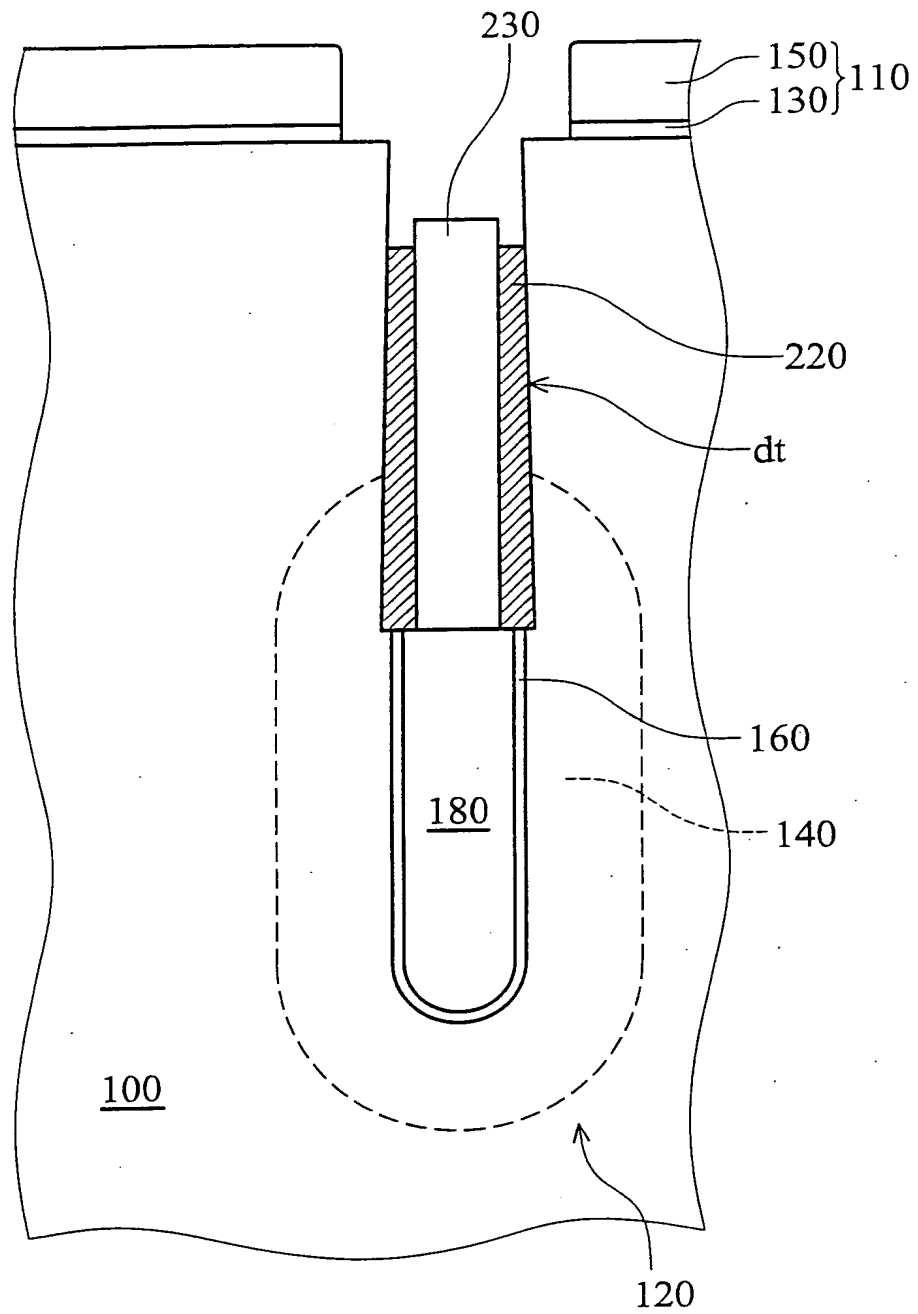
第 3b 圖



第 3c 圖



第 3d 圖

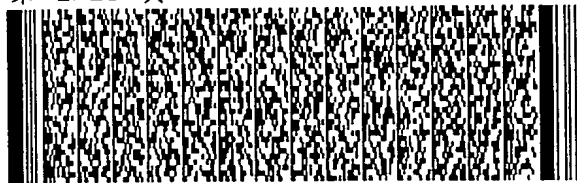


第 3e 圖

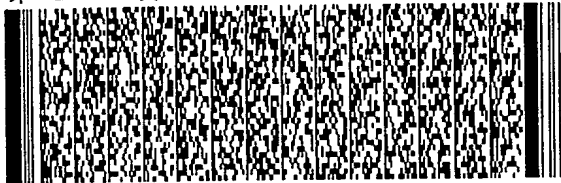
第 1/21 頁



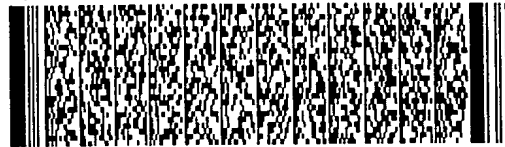
第 2/21 頁



第 2/21 頁



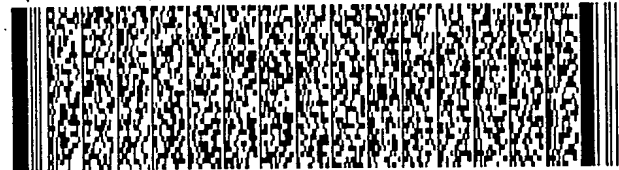
第 3/21 頁



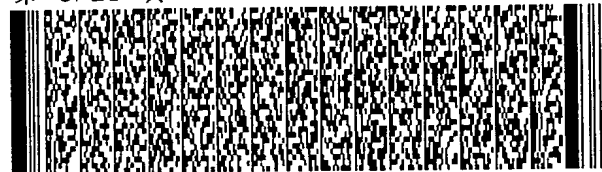
第 4/21 頁



第 5/21 頁



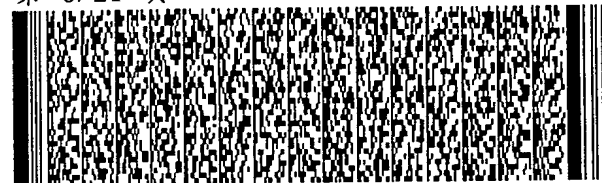
第 5/21 頁



第 6/21 頁



第 6/21 頁



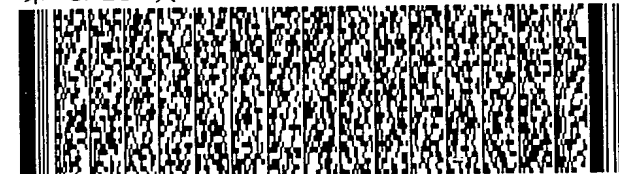
第 7/21 頁



第 7/21 頁



第 8/21 頁



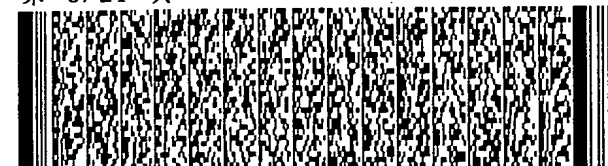
第 8/21 頁



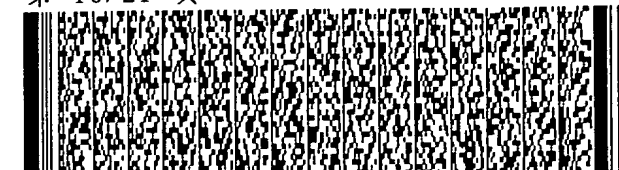
第 9/21 頁



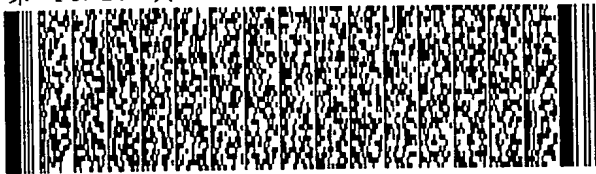
第 9/21 頁



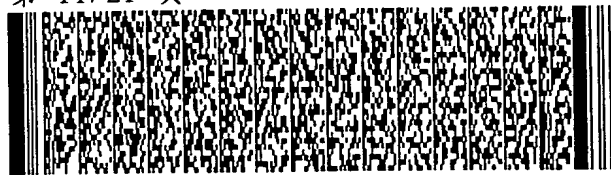
第 10/21 頁



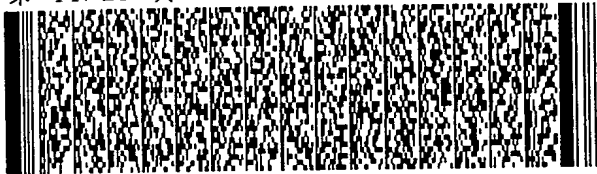
第 10/21 頁



第 11/21 頁



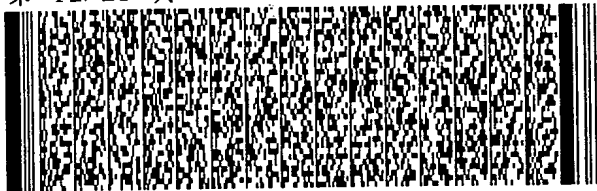
第 11/21 頁



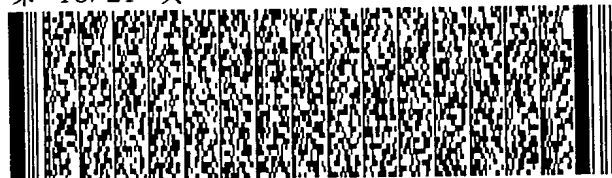
第 12/21 頁



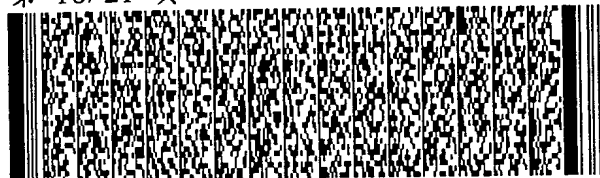
第 12/21 頁



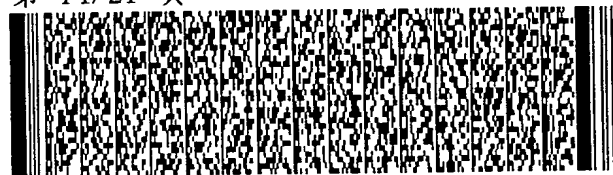
第 13/21 頁



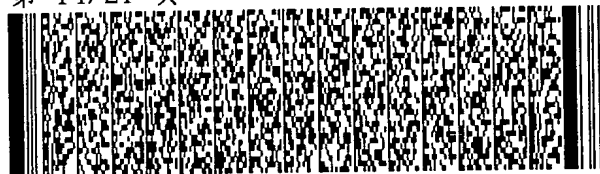
第 13/21 頁



第 14/21 頁



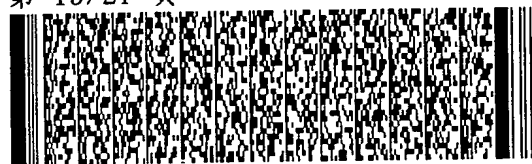
第 14/21 頁



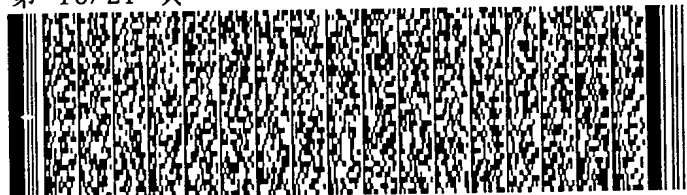
第 15/21 頁



第 15/21 頁



第 16/21 頁



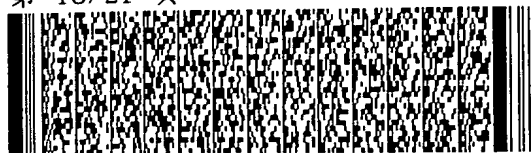
第 17/21 頁



第 18/21 頁



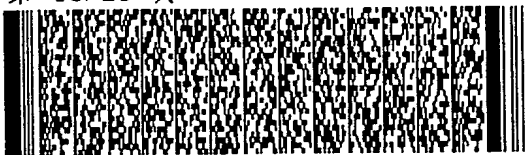
第 18/21 頁



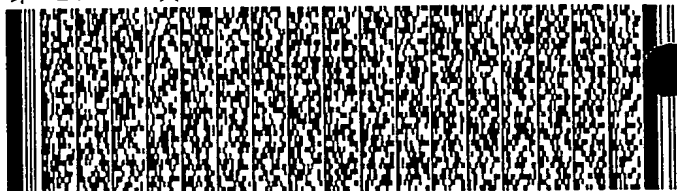
第 19/21 頁



第 19/21 頁



第 20/21 頁



第 21/21 頁

